

004393088

WPI Acc No: 1985-219966/198536

XRPX Acc No: N87-010921

**Dynamic field effect transistor bootstrap output circuit - has delay generating output from node which is used for controlling charge operation of bootstrap capacitor**

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60140924	A	19850725	JP 83250110	A	19831227	198536 B
US 4633105	A	19861230	US 84686863	A	19841227	198703

Priority Applications (No Type Date): JP 83250110 A 19831227

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 60140924	A		9		

Abstract (Basic): JP 60140924 A

A delay circuit includes a MIS transistor having a gate receiving one input signal, a drain connected to a power supply and a source connected to a node. A second MIS transistor has a gate receiving a second input signal, a drain connected to the node and a source connected to the ground potential. A third MIS transistor has a gate receiving the second input signal, a drain connected to the power supply and a source connected to a second node. A fourth MIS transistor has a gate connected to the first node, a drain connected to the second node and a source held at the ground potential.

A fifth MIS transistor has a gate connected to the second node, a drain connected to the first node and a source connected to the first input signal. The delay circuit generates an output signal from the second node the level of which falls with a predetermined delay after the rise of the first input signal. A driver circuit including a bootstrap circuit makes use of the output at the second node for controlling the charge operation of the bootstrap capacitor.

USE/ADVANTAGE - Dram dynamic precharge control. Operates stabl when influenced by noise and voltage fluctuations of substrate. (First major country equivalent to J60140924)

5/9

Title Terms: DYNAMIC; FIELD; EFFECT; TRANSISTOR; BOOTSTRAP; OUTPUT; CIRCUIT ; DELAY; GENERATE; OUTPUT; NODE; CONTROL; CHARGE; OPERATE; BOOTSTRAP; CAPACITOR

Derwent Class: U12; U14; U21

International Patent Class (Additional): H03K-004/58; H03K-005/13; H03K-019/00

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

01662424    \*\*Image available\*\*  
SEMICONDUCTOR CIRCUIT

PUB. NO.:        60-140924 [JP 60140924 A]  
PUBLISHED:      July 25, 1985 (19850725)  
INVENTOR(s):    TSUJIMOTO AKIRA  
APPLICANT(s):   NEC CORP [000423] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      58-250110 [JP 83250110]  
FILED:          December 27, 1983 (19831227)  
INTL CLASS:     [4] H03K-019/00; H03K-019/094  
JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits)  
JAPIO KEYWORD:  R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                  MOS)  
JOURNAL:        Section: E, Section No. 362, Vol. 09, No. 302, Pg. 126,  
                  November 29, 1985 (19851129)

#### ABSTRACT

PURPOSE: To prevent floating of a low potential of a node at a high impedance state by providing a delay circuit giving an output to the 2nd node falling down with a delay from the leading of the 1st input signal and a driver circuit including a bootstrap circuit driven by the 1st input signal and using an output of the 2nd node as a common control signal.

CONSTITUTION: The titled circuit consists of the delay circuit 11 taking the node N12 risen with a delay than the leading of an input signal .phi. and the driver circuit 12 comprising MOST (N-channel MOS transistors) Q15-Q19 and a capacitor C11 including the bootstrap circuit driven by the input signal .phi.1 and using the output of the node N12 as the common control signal. When the input signal .phi.1 is at a low level, since the MOSTQ20 is turned on with a high level of the node N12 and connected to the input signal .phi.1 at the low level, a node N11 is suppressed to a ground potential level thereby preventing the high impedance state. When the input signal .phi.1 goes to a high level, since the node N11 is charged quickly via the MOSTQ11, Q20, it is not required to consider the ratio of the capability of the MOSTQ11 and Q20 at all.

?

## ⑫ 公開特許公報(A)

昭60-140924

⑬ Int.Cl.<sup>4</sup>H 03 K 19/00  
19/094

識別記号

1 0 1

庁内整理番号

8326-5J  
8326-5J

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体回路

⑯ 特 願 昭58-250110

⑰ 出 願 昭58(1983)12月27日

⑱ 発 明 者 辻 本 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体回路

## 2. 特許請求の範囲

第1のMISトランジスタのゲートは第1の入力信号にドレインは電源にソースは第1の節点に、第2のMISトランジスタのゲートは第2の入力信号にドレインは前記第1の節点にソースは接地電位に、第3のMISトランジスタのゲートは前記第2の入力信号にドレインは電源にソースは第2の節点に、第4のMISトランジスタのゲートは前記第1の節点にドレインは前記第2の節点にソースは接地電位に、第5のMISトランジスタのゲートは前記第2の節点にドレインは前記第1の節点にソースは前記第1の入力信号にそれぞれ接続されており、前記第1の入力信号の立上りより遅れて立下る前記第2の節点を出力とする遅延回路と、前記第1の入力信号により駆動され

前記第2の節点出力を接地側制御信号とするブートストラップ回路を含むドライバ回路より構成されることを特徴とする半導体回路。

## 3. 発明の詳細な説明

## (技術分野)

本発明は、半導体素子によって構成され、特に絶縁ゲート型電界効果トランジスタ(MISトランジスタ)からなる半導体回路に関する。

## (従来技術)

第1図は従来の半導体回路の一例の回路図で、MISトランジスタとして、ロチャネル型MOSトランジスタ(以下、MOSTという。)を用いて構成されるダイナミック回路において代表的なバッファ回路を示す。この回路はMOSTQ1, Q2, Q3, Q4より構成される遅延回路1とMOSTQ5, Q6, Q7, Q8, Q9より構成されるドライバ回路2より構成されている。基本的な動作を以下に説明する。第4図に各入力信号φ1, φ2、出力信号φ3のタイムチャートを示す。まず入力信号φ2が高レ

レベルになり、MOST Q3 がオンし、節点N2 が電源VDDの一段落ちレベル（以下、 $VDD-V_T$ レベルという。）まで充電される。それによりMOST Q7, Q9 がオンし、節点N4、出力信号φ3を低レベルにおさえる。次に入力信号φ1が高レベルになり、節点N3がMOST Q5を介して $VDD-V_T$ レベルまで充電される。それによってMOST Q6, Q8 がオンし、MOST Q6, Q7 および Q8, Q9 を通し、電流が電源VDDより接地電位GNDに流れる。節点N2は、MOST Q1がオンし、節点N1の電位がMOST Q4のしきい値電圧 $V_T$ を超えるまで、 $VDD-V_T$ レベルが保たれるので、節点N4のレベルは、MOST Q6, Q7のオン抵抗の比（通常は1:3〜1:5）で定まる低レベルに保たれる。容量C1の静電容量を $C_{01}$  (f)、節点N3とN4の電位差を $\Delta V(V)$ とすると、容量C1には、 $Q(0) = C_{01} \times \Delta V$ の電荷が充電される。

節点N1のレベルが上がり、MOST Q4がオンすると、節点N2は接地電位GNDとなり、MOST Q7, Q9はオフする。これにより節点N4は

- 3 -

インピーダンス状態をMOST Q10により接地電位GNDにおさえる方法をとっている。しかし、入力信号φ1が高レベルになったとき、MOST Q1とQ10の能力比がとれていないと、節点N1の電位がMOST Q4のしきい値電圧を超えることが出来ないか、あるいは時間的に遅れてしまう。このため、MOST Q10の能力はMOST Q1の能力の $\frac{1}{8} \sim \frac{1}{10}$ 程度にまでおさえる必要がある。このようなMOSTをマスク上で実現するには、MOSTの多段直列接続、あるいはチャネルを長くするなど、いずれにせよチップ面積が大きくなる欠点がある。（発明の目的）

本発明の目的は、上記の欠点を除去することにより、特別に構成MISトランジスタの能力比を考慮する必要なしに、節点の高インピーダンス状態の低電位の浮き上りを防止できるところの半導体回路を提供することにある。

（発明の構成）

本発明の半導体回路は、第1のMISトランジスタのゲートは第1の入力信号にドレインは電源

- 5 -

$VDD-V_T$ レベルになり、節点N3は $Q/(節点N3の容量 + C_{01})$ だけ電位が上昇し、MOST Q6, Q8のゲートレベルが電源VDDレベル以上にもち上げられ、入力信号φ1より $\Delta T$ 遅れて節点N4および出力信号φ3が電源VDDレベルまで上昇する。

第4図のように、入力信号φ1とφ2が共に低レベルにある時刻T2からT3の間では、節点N1は高インピーダンス状態で低レベルとなる。この状態のとき基板電位のゆれなどにより節点N1のレベルが浮き上がり、MOST Q4のしきい値電圧を超えてしまうと、入力信号φ2により充電された節点N2のレベルが接地電位GNDまで低下して、ドライバ回路2のブートストラップを使った正常動作が不可能になる。

第2図はこれを防ぐために考えられた従来の半導体回路を示す回路図である。図に示すように、節点N1をドレインに、節点N2をゲートに、接地電位GNDをソースに接続したMOST Q10を付加し、節点N2の高レベルにより、節点N1の高

- 4 -

レベルソースは第1の節点に、第2のMISトランジスタのゲートは第2の入力信号にドレインは前記第1の節点にソースは接地電位に、第3のMISトランジスタのゲートは前記第2の入力信号にドレインは電源にソースは第2の節点に、第4のMISトランジスタのゲートは前記第1の節点にドレインは前記第2の節点にソースは接地電位に、第5のMISトランジスタのゲートは前記第2の節点にドレインは前記第1の節点にソースは前記第1の入力信号にそれぞれ接続されてなり、前記第1の入力信号の立上りより遅れて立下る前記第2の節点を出力とする遅延回路と、前記第1の入力信号により駆動され前記第2の節点出力を接地側制御信号とするブートストラップ回路を含むドライバ回路より構成される。

（実施例）

以下、本発明の実施例について図面を参照して説明する。

第3図は本発明の一実施例の回路図、第4図はその動作を示すタイムチャートで従来例のもの

- 6 -

同じである。

本実施例は、MOST Q11のゲートは入力信号 $\phi_1$ にドレインは電源VDDにソースは節点N11に、MOST Q12のゲートは入力信号 $\phi_2$ にドレインは節点N11にソースは接地電位GNDに、MOST Q13のゲートは入力信号 $\phi_2$ にドレインは電源VDDにソースは節点N12に、MOST Q14のゲートは節点N11にドレインは節点N12にソースは接地電位GNDに、MOST Q20のゲートは節点N12にドレインは節点N11にソースは入力信号 $\phi_1$ にそれぞれ接続されており、入力信号 $\phi_1$ の立上りより遅れて立下る節点N12を出力とする遅延回路11と、入力信号 $\phi_1$ により駆動され節点N12出力を接地側制御信号とするブートストラップ回路を含むMOST Q15～Q19及び容量C11よりなるドライバ回路12より構成される。

すなわち、本実施例の回路は第1図の従来例の回路に、節点N11をドレインに節点N12をゲートに入力信号 $\phi_1$ をソースに接続したMOST Q20を付加したものである。~~入力信号 $\phi_1$~~

- 7 -

はその動作を示すタイムチャートである。本実施例は、第3図の実施例の回路とは異なるドライバ回路12'を有するバッファ回路に本発明を適用したもので、ドライバ回路12'にはMOST Q21が付加されている。この種類のバッファでは、入力信号 $\phi_1'$ が高レベルになり、MOST Q14がオンし、節点N12の電位が接地電位レベルになることにより、MOST Q17がオフし、節点N13は入力信号 $\phi_1'$ の電位に依存することなく電源VDD以上のレベルを保持することができるので、第6図に示すような入力信号 $\phi_1'$ 、 $\phi_2$ より出力信号 $\phi_3$ を得ることができる。なお、この場合においても時刻T2～T3間での節点N11の高インピーダンス状態の低レベルは存在し、本発明の効果はこの場合においてもまったくそなわれることはない。

なお、以上の説明はトランジスタとしてNチャネル型MOSトランジスタを用い、高レベルが論理"1"レベルであり、低レベルが論理"0"レベルとしたが、本発明はこれに限定されることなく、一般に絶縁ゲート型電界効果トランジスタ(

- 9 -

かくすることにより、入力信号 $\phi_1$ が低レベルのとき(第4図、時刻T2～T3区間)節点N11は、節点N12の高レベルによりMOST Q20がオンし、低レベルにある入力信号 $\phi_1$ に接続されることにより接地電位レベルにみえらることにより高インピーダンス状態を防ぐことができる。入力信号 $\phi_1$ が高レベルになるとMOST Q11、Q20を介して節点N11がすみやかに充電されるのでMOST Q11とQ20との能力のレシオ比は全く考慮する必要がない。又、入力信号 $\phi_1$ が高レベルになると、MOST Q20のゲートレベルは、ゲートドレインおよびゲートソース間の容量のセルフブート効果により上昇するため、節点N12のレベルは上昇しMOST Q17、Q19のオン抵抗を低減し、節点N13のためこみレベルの改善および出力信号 $\phi_3$ のレシオの改善等による波形整形効果も得られる。更に、この効果を利用して、MOST Q14、Q20の能力を変えることにより、出力信号 $\phi_3$ の入力信号 $\phi_1$ からの遅延時間の調節も可能である。

第5図は本発明の他の実施例の回路図、第6図

- 8 -

MI8トランジスタ)を用いた論理用半導体回路に適用される。

(発明の効果)

以上、詳細に説明したとおり、本発明の半導体回路は、上記の構成を有しているので、特別に構成絶縁ゲート型電界効果トランジスタの能力比を考慮する必要をなし、節点の高インピーダンス状態の低電位の浮き上りを防止できるといふ効果を有している。

#### 4. 図面の簡単な説明

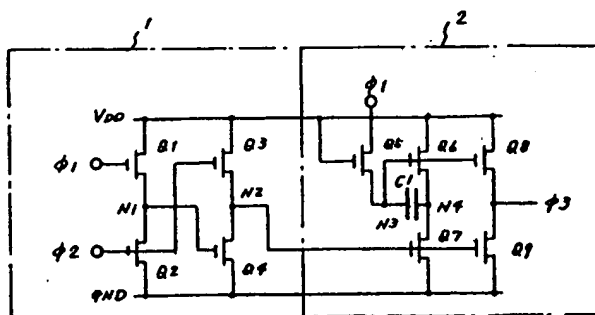
第1図、第2図は従来の半導体回路の一例および他の例の回路図、第3図は本発明の一実施例の回路図、第4図は第1図、第2図、第3図の動作を示すタイムチャート、第5図は本発明の他の実施例の回路図、第6図はその動作を示すタイムチャートである。

1, 1'...遅延回路、2...ドライバ回路、11...遅延回路、12, 12'...ドライバ回路、C1, C11...容量、GND...接地電位、T1～T4...時刻、

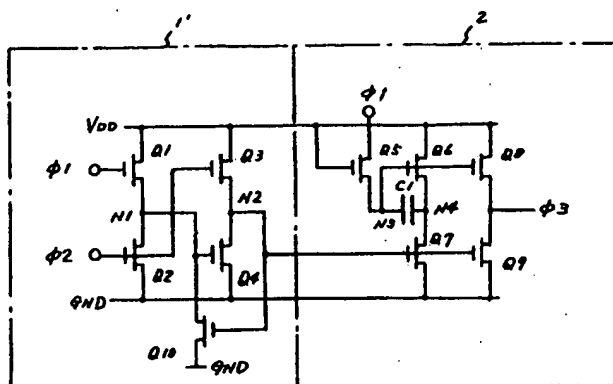
- 10 -

VDD…電源、Q1～Q10、Q11～Q21 ……nチャネル型MOSトランジスタ、 $\phi 1$ 、 $\phi 2$ …入力信号、 $\phi 3$ …出力信号。

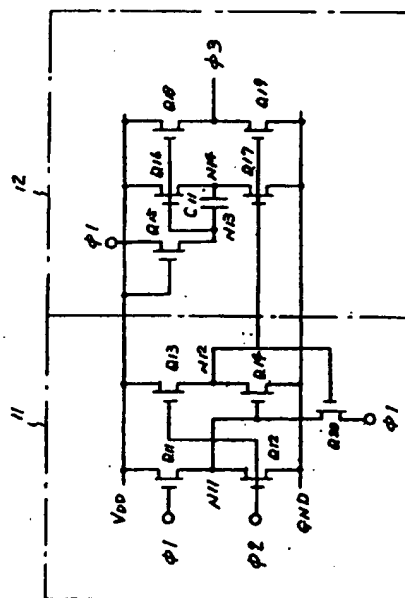
代理人 弁理士 内 原 晋



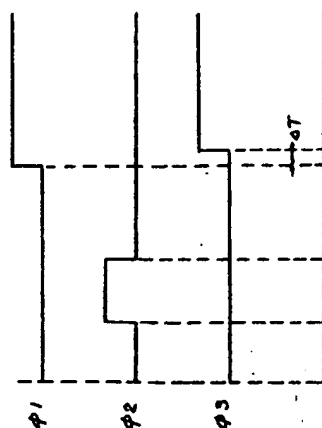
第1図



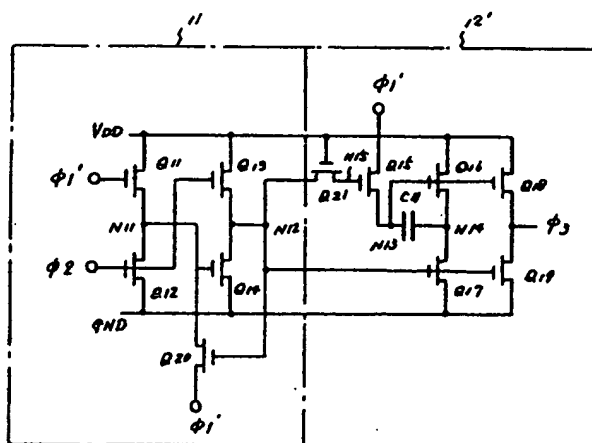
第2図



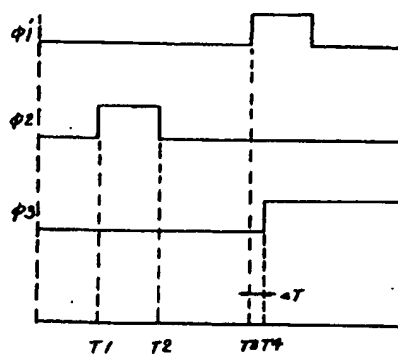
第3図



第4図



第5図



第6図